

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

010751440 **Image available**

WPI Acc No: 1996-248395/199625

XRPX Acc No: N96-208650

Display device drive circuit - has address decoder which performs
selection of scanning line or signal line

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8101669	A	19960416	JP 94261169	A	19940930	199625 B

Priority Applications (No Type Date): JP 94261169 A 19940930

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 8101669	A	8	G09G-003/36	

Abstract (Basic): JP 8101669 A

The drive circuit supplies a digital value to each pixel of a switching element (309) of an active matrix type display device in which each switching element is connected to gradation signal line (308). An address decoder (301) performs the selection of a signal line (310) or a scanning line.

ADVANTAGE - Eliminates use of shift register as drive circuit.
Enables random access of display panel. Improves display state, speed and yield. Reduces power consumption.

Dwg. 3/8

Title Terms: DISPLAY; DEVICE; DRIVE; CIRCUIT; ADDRESS; DECODE; PERFORMANCE;
SELECT; SCAN; LINE; SIGNAL; LINE

Derwent Class: P81; P85; U14

International Patent Class (Main): G09G-003/36

International Patent Class (Additional): G02F-001/133

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

05146169 **Image available**

DISPLAY DEVICE DRIVE CIRCUIT

PUB. NO. : 08-101669 [JP 8101669 A]

PUBLISHED: April 16, 1996 (19960416)

INVENTOR(s): KOYAMA JUN

SUZUKI RITSUKO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company
or Corporation), JP (Japan)

APPL. NO. : 06-261169 [JP 94261169]

FILED: September 30, 1994 (19940930)

INTL CLASS: [6] G09G-003/36; G02F-001/133

JAPIO CLASS: 44.9 (COMMUNICATION -- Other); 29.2 (PRECISION INSTRUMENTS --
Optical Equipment)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS)

ABSTRACT

PURPOSE: To improve the yield, to reduce the power consumption and to drive it at a high speed by adopting a drive circuit using an address decoder and making random access of a display pixel possible.

CONSTITUTION: Latches 1 (302) are connected in parallel by the number of bits of a data signal 304, and the data signal 304 is inputted to them as an input signal. The latches (302) fetch a gradation signal supplied from the data signal (304) at the timing of a latch pulse 303 outputted from an address decoder 301. Then, the selected signal is fetched as the input signal of the next latches 2 (305) directly connected to the latches 1 (302). The latches 2 (305) output the gradation data of an image to a decoder 307 by a latch pulse (306). The output is inputted to a gate side of an analog switch 309 corresponding to the inputted gradation data. The analog switch 309 is connected to the gradation signal 308, and potential corresponding to the gradation is resistance-divided to be outputted.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-101669

(43) 公開日 平成8年(1996)4月16日

(51) Int.Cl.⁹

G 0 9 G 3/36

G 0 2 F 1/133

識別記号

5 5 0

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数4 F D (全 8 頁)

(21) 出願番号

特願平6-261169

(22) 出願日

平成6年(1994)9月30日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 鈴木 律子

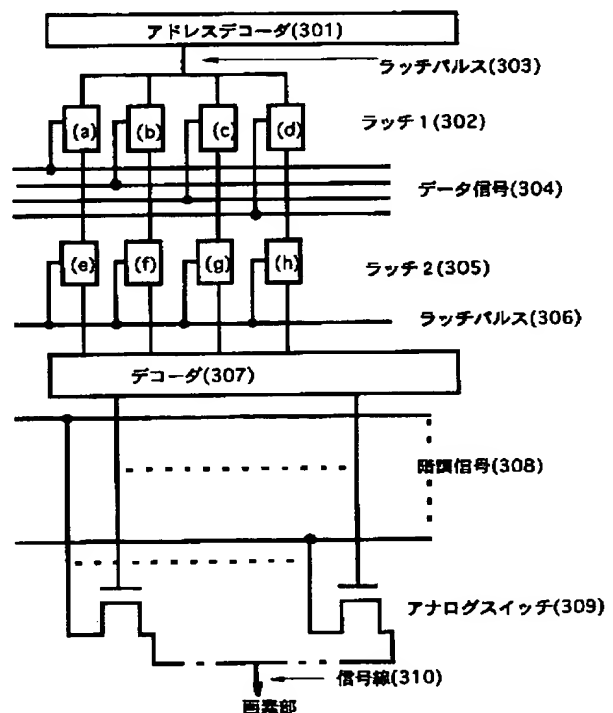
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 表示装置駆動回路

(57) 【要約】

【目的】 各画素にスイッチング素子を有するアクティブマトリクス型の表示装置において、駆動回路としてシフトレジスタを使用せず、信号線（または走査線）の選択を、ランダムアクセス可能とし、表示状態の改善、歩留り向上、低消費電力化、高速化を図る。

【構成】 各画素にスイッチング素子を有するアクティブマトリクス型表示装置の、階調データがデジタル値で供給される駆動回路において、信号線の選択または走査線の選択は、アドレスデコーダ回路により行なわれる。



【特許請求の範囲】

【請求項1】各画素にスイッチング素子を有するアクティブマトリクス型表示装置の、階調データがデジタル値で供給される駆動回路において、信号線の選択または走査線の選択は、アドレスデコーダ回路により行なわれることを特徴とする表示装置駆動回路。

【請求項2】階調データがデジタル値で供給される、アクティブマトリクス型の表示装置の駆動回路であって、前記階調データが出力される信号線を選択するアドレスデコーダ回路と、前記階調データを保持する階調保持回路と、前記階調保持回路で保持された階調データの出力タイミングを、前記表示装置の走査タイミングと同期させる階調同期回路と、前記階調同期回路で同期された階調データに基づいて、前記信号線に出力する階調電位を選択するデコーダ回路と、を有することを特徴とする表示装置駆動回路。

【請求項3】階調データがデジタル値で供給される、アクティブマトリクス型の表示装置の駆動回路であって、前記階調データが出力される信号線を選択するアドレスデコーダ回路と、前記アドレスデコーダ回路からの出力信号に同期して、前記階調データを保持する階調保持回路と、前記階調保持回路で保持された階調データの出力タイミングを、前記表示装置の走査タイミングと同期させる階調同期回路と、前記階調同期回路で同期された階調データに基づいて、前記信号線に出力する階調電位を選択するデコーダ回路と、を有することを特徴とする表示装置駆動回路。

【請求項4】階調データがデジタル値で供給される、アクティブマトリクス型の表示装置の駆動回路であって、前記階調データが出力される信号線を選択するアドレスデコーダ回路と、前記階調データを保持する階調保持回路と、前記階調保持回路で保持された階調データの出力タイミングを、前記表示装置の走査タイミングと同期させる階調同期回路と、前記階調同期回路で同期された階調データに基づいて、各階調毎の電圧値を有する複数の階調電位信号のうちの1つを選択するデコーダ回路と、を有することを特徴とする表示装置駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、表示装置の駆動回路に関する。特にアクティブマトリクス駆動の液晶表示装置に適する駆動回路に関する。

【0002】

【従来の技術】アクティブマトリクス駆動型の液晶表示装置のような表示装置の駆動回路として、シフトレジスタを用いた線順次走査が現在採用されている。

【0003】液晶表示装置全体の概略図を図1に示す。同一のガラス基板上に、信号線駆動回路(101)と走査線駆動回路(102)、さらに表示装置中心部には液晶画素部(103)が配置されている。各駆動回路と液晶画素部とは、列方向の信号線X1, X2, ...と行方向の走査線Y1, Y2, ...によって接続されている。信号線と走査線の交点の各々には、スイッチング素子として薄膜トランジスタ(以下TFT)がマトリクス状に配置されている。TFTのソースは信号線に、ゲートは走査線に、ドレインは画素電極に接続されている。画素電極は、液晶を挟んで対向電極と相対向している。信号線駆動回路(101)により信号線が線順次されるのと同期して、走査線駆動回路(102)より走査線に信号が送られ、画像表示に必要な信号が与えられる。

【0004】線順次走査とは、具体的には以下の動作をするものである。線順次走査とは、1つの入力信号を遅延、伝達して、走査線駆動回路内の走査線を順々に走査し、1つの走査線上のすべてのトランジスタを一時導通状態にする。そして、信号線駆動回路から信号線を介して、各信号蓄積キャパシタに信号を供給する。供給された信号は次のフレームの走査時まで液晶を駆動させておく。

【0005】このとき、液晶に一定電圧をかけたままにすると、イオンが片側に蓄積され、そのために液晶が劣化してしまう。これを防ぐために、フィールドごとに液晶に印加する表示信号の極性を反転させる。つまり、信号線を介して、画素TFTのソース部にかかる電圧を、例えば+10Vを基準にして+5V、-5Vというように、反転駆動させる。

【0006】以上説明した線順次方式はフリップフロップ(以下F.F.)からなるシフトレジスタ回路をN段(N:信号線駆動回路であれば水平方向の、走査線駆動回路であれば垂直方向の画素数に相当する。)直列に接続し、信号を遅延させることによって行われている。シフトレジスタは、その出力を次段シフトレジスタに送り、信号を遅延させ伝達していく。シフトレジスタ各段の出力には、さらに、アナログメモリやインバータといった、信号変換・増幅回路が直列接続されている。

【0007】アナログ方式の線順次駆動回路を、図2に示す。ここで信号線駆動回路は(200)、走査線駆動回路は(201)である。信号線駆動回路において、シフトレジスタには、電源電圧Vdd(202)とVss(203)、そして動作クロックCP(204)が接続されている。入力されたスタートパルスSP(205)は、内部で直列接続されたF.F.を、走査方向(例えば右)に沿って遅延・伝達していく。各シフトレジスタの出力は、Q0, Q1, ... Qnであり、これらをタイミング信号として、ビデオ信号(206)から、アナロ

グスイッチ(207)によるサンプリング回路を介して、階調データをサンプリングする。サンプリングされたアナログ階調データは、画素部に入る前に、一度アナログメモリ(208)に蓄積される。蓄積された階調データは、外部から入力されるラッチパルス(209)によって走査タイミングをとり、アナログバッファ(210)で信号をインバーダンス変換した後、信号線(211)を通じて画素TFT(212)に伝達される。シフトレジスタ各段でこのような経路がとられ、画像の線順次走査が行われる。

【0008】また、最近では、アナログメモリ方式ではなく、ラッチによるデジタルメモリを採用する例も増えている。すなわち、データ信号をアナログメモリに蓄積するのではなく、ラッチに入力して、2進数のデジタル信号として画像データを保持する方式である。このような、信号のデジタル化により、アナログ方式でみられた階調表示データの寿命短縮を回避し、安定した階調信号を得ることができる。また、デジタル方式を採用することにより、低電圧・低消費電力化による低コスト化もはかれる。さらに駆動速度も高速化できる。

【0009】このような、シフトレジスタ回路を用いた表示装置駆動回路は、複数段連設されているシフトレジスタ回路の中に、1つの回路不良があると、それより後段のシフトレジスタに信号が伝わらなくなってしまう。このことが、表示装置全体としての、歩留まりの低下の原因になっていた。さらに、1本のビデオ信号で、表示に必要な信号を全て送信するため、高電圧が必要となり、その結果高消費電力となってしまう。また、ビデオ信号がサンプリング回路を通してアナログメモリ(容量)にいったん記憶されるが、アナログメモリでは電荷のリークが生じてしまうため、必要な電荷量を蓄積できないことがあり、表示データ信号の寿命短縮につながり、画質の低下につながっていた。

【0010】

【発明が解決しようとする課題】シフトレジスタ使用の線順次走査駆動回路では、1つの回路不良がそれより後段に影響を与えてしまう。一般に、ガラス基板上等にTFTで構成された駆動回路は、単結晶基板上に設けられるものに比較して、広い範囲に形成されるため、不良が発生しやすい。そのために、駆動回路と液晶表示部がガラス基板上に一体に形成されている、周辺回路内蔵型アクティブマトリクス型液晶表示装置では、シフトレジスタを構成するTFTに不良が発生しやすい。このことが表示装置全体の歩留まり低下と、それに伴うコスト増加を引き起こしていた。また、線順次方式のアナログドライバーでは1本のビデオ信号のみで、必要な階調データを送信するために高電圧が必要となり、TFTで構成された回路の寿命短縮につながる。またこれに伴い高消費電力が避けられない状況にある。またアナログメモリを使用した場合、容量の電荷のリークによる階調表示データの寿命短縮が考えられ、高画質を求めにくい。

【0011】

【課題を解決するための手段】上述の問題点を解決するために、本発明は、各画素にスイッチング素子を有するアクティブマトリクス型表示装置の、階調データがデジタル値で供給される駆動回路において、信号線の選択または走査線の選択は、アドレスデコーダ回路により行なわれることを特徴とする表示装置駆動回路である。

【0012】また、本発明は、階調データがデジタル値で供給される、アクティブマトリクス型の表示装置の駆動回路であって、前記階調データが出力される信号線を選択するアドレスデコーダ回路と、前記階調データを保持する階調保持回路と、前記階調保持回路で保持された階調データの出力タイミングを、前記表示装置の走査タイミングと同期させる階調同期回路と、前記階調同期回路で同期された階調データに基づいて、前記信号線に出力する階調電位を選択するデコーダ回路と、を有することを特徴とする表示装置駆動回路である。

【0013】また、本発明は、階調データがデジタル値で供給される、アクティブマトリクス型の表示装置の駆動回路であって、前記階調データが出力される信号線を選択するアドレスデコーダ回路と、前記アドレスデコーダ回路からの出力信号に同期して、前記階調データを保持する階調保持回路と、前記階調保持回路で保持された階調データの出力タイミングを、前記表示装置の走査タイミングと同期させる階調同期回路と、前記階調同期回路で同期された階調データに基づいて、前記信号線に出力する階調電位を選択するデコーダ回路と、を有することを特徴とする表示装置駆動回路である。

【0014】また、本発明は、階調データがデジタル値で供給される、アクティブマトリクス型の表示装置の駆動回路であって、前記階調データが出力される信号線を選択するアドレスデコーダ回路と、前記階調データを保持する階調保持回路と、前記階調保持回路で保持された階調データの出力タイミングを、前記表示装置の走査タイミングと同期させる階調同期回路と、前記階調同期回路で同期された階調データに基づいて、各階調毎の電圧値を有する複数の階調電位信号のうちの1つを選択するデコーダ回路と、を有することを特徴とする表示装置駆動回路である。

【0015】すなわち、本発明は、従来のシフトレジスタ回路による線順次走査方式ではなく、アドレスデコーダ回路によるランダムアクセス方式を採用する。アドレスデコーダ回路を用いることにより、線順次ではなく、アドレス指定により、信号線の選択または走査線の選択が可能となる。シフトレジスタ回路による線順次走査の場合、1つの入力信号を遅延・伝達させるため、1つの回路不良による表示装置全体としての歩留まりへの影響が深刻であった。

【0016】しかしながら、本発明において採用するアドレスデコーダ回路では、一信号線(または一走査線)

に接続されている駆動回路の不良が、他の信号線（または走査線）に接続されている駆動回路に影響を及ぼすことがない。したがって、シフトレジスタ回路を用いた線順次走査駆動方式に比較して、良好な表示を行う表示装置が数多く得られる。その結果表示装置全体としての歩留まりが、大幅に向上する。

【0017】さらに、ランダムアクセスして画素を選択できるため、走査毎に線順次を行う従来のシフトレジスタに比較して、走査時間の短縮がはかられ、高速駆動が可能となる。また、選択した信号線、走査線を駆動する回路のみを動作させればよいため、前段まで動作させる必要のあるシフトレジスタ回路を用いた場合と比較して、低消費電力化も可能となる。

【0018】

【実施例】以下に本発明の実施例について説明する。図3は、アドレスデコーダを用いた信号線駆動回路の、信号線1本についてのブロック図である。ここでは、信号線の数を500本としている。

【0019】アドレスデコーダ(301)には、図示しない外部端子より、表示したい画素のアドレス信号が入力され、アドレス信号の値により、信号線が選択される。このアドレス信号は、ラッチ1(302)のラッチパルスとなる。ラッチ1(302)は、階調データを供給するデータ信号(304)のビット数分並列に接続されている。ラッチはディレイフリップフロップ回路（以下 D-F.F.）で構成されている。これらラッチには、階調データを供給するデータ信号(304)が入力信号として入る。ラッチは、アドレスデコーダ(301)から出力されたラッチパルス(303)のタイミングにて、データ信号(304)より供給される階調信号を取込み、結果を内部にロジックとして保存する。

【0020】ここで選択された信号は、ラッチ1に直列接続された、次なるラッチ2(305)の入力信号として取り込まれる。このラッチ2は、外部から取り込んだラッチパルス(306)により、表示装置の1回の走査タイミングと同期して、表示すべき画像の階調データをデコーダ(307)へ出力する。

【0021】デコーダ(307)の出力は、入力された階調データに対応したアナログスイッチ(309)のゲート側に入る。アナログスイッチは、階調信号(308)に接続されている。階調信号(308)は、階調に対応した電位が抵抗分割して用意されている。このようにして選択された階調電位が、信号線(310)を通して表示が必要とされる画素へ出力される。

【0022】本実施例においては、走査線駆動回路においても、走査線を選択に、アドレスデコーダを用いた。走査線においては階調データは不要なため、走査線駆動回路の構成は、アドレスデコーダの各出力毎に走査線が接続されたのみとなっている。各走査線には、1ライン分のTFTのゲート電極が接続されている。

【0023】以下に各々の回路動作の説明を行う。まずデコーダの論理回路を図4に示す。本実施例の場合、信号線数が500本であるので、信号線駆動回路においては9ビットのアドレスデコーダが必要となり、否定信号も合わせて合計18本のアドレス信号線が必要となる。アドレスデコーダは、これらアドレス信号線とNANDゲートが3つ、NORゲートが1つから構成されており、9入力1出力となっている。この構成が500個、NANDの入力が、各アドレスに対応したアドレス信号線に接続して設けられている。NORの出力は、各アドレスに対応する信号線と接続されている。接続されているアドレス信号線が、すべてHigh（以下H）レベルになると、NANDがLow（以下L）を出力し、1つでもLレベルのものが存在するとNANDはHを出力する。接続されているアドレス信号線がすべてHになり3つのNANDの出力がすべてLになるとNORゲートからはHが出力される。

【0024】つまり、接続されているアドレス信号がすべてHになると、アドレスデコーダの出力が立つことになる。すなわち、表示すべき画素の、アドレス信号のANDをとっている。またデコーダ部分(307)では、これと同様の仕組みにより、4ビット入力に対応して、16個の階調信号(308)に、それぞれアクセスする。

【0025】次にラッチ部分の回路動作を説明する。ラッチの等価回路を図5に示す。ここでは、クロックドインバータとインバータで構成されたD-F.F.をラッチとして使用している。

【0026】図5において、リセット状態をLとする。動作クロックCPのレベルがL、入力信号のレベルがHの場合、クロックドインバータ1の出力はLで、インバータ1を通りHに反転される。クロックドインバータ2はこのとき非導通のため、出力Q1はHとなる。このとき、クロックドインバータ3にはHが入力されるが、動作クロックCPのレベルがHのため、非導通となる。したがって、Q2にはリセット状態のLが出力される。

【0027】動作クロックCPのレベルがH、入力信号のレベルがHの場合、クロックドインバータ1は非導通となる。クロックドインバータ2は導通となってLを出力し、インバータ1を通りHに反転される。つまり出力Q1はHとなる。このとき、クロックドインバータ3にはHが入力され、動作クロックCPのレベルがLのため、導通してLを出力し、インバータ2で反転され、Hになる。クロックドインバータ4は非導通のため、出力Q2はHとなる。

【0028】動作クロックCPのレベルがL、入力信号のレベルがLの場合、クロックドインバータ1は導通しHを出力する。この信号はインバータ1で反転される。このときクロックドインバータ2は非導通となっているので、出力Q1はLとなる。このとき、クロックドインバータ3にはLが入力されるが、動作クロックCPのレベルがHのために非導通となる。クロックドインバータ4は

導通となってL を出力し、インバータ2を通りH に反転される。つまり出力Q2はH となる。

【0029】動作クロックCPのレベルがH 、入力信号のレベルがL の場合、クロックドインバータ1は非導通となる。クロックドインバータ2は導通となってH を出力し、インバータ1を通りL に反転される。つまり出力Q1はL となる。このとき、クロックドインバータ3にはL が入力され、動作クロックCPのレベルがL のため、導通してH を出力し、インバータ2で反転され、L になる。クロックドインバータ4は非導通のため、出力Q2はL となる。

【0030】以上に述べたD-F.F. の出力波形を示したものが図6である。このようにCPの立ち上がり時のD 信号のレベルを読み込み、次のCPまで信号を保持する。このことから、図3におけるラッチ1の動作を追うと、図7の出力波形が得られる。ラッチ1ではCPの代わりにアドレスデコーダの出力が、D の代わりにデータ信号が入力されるが、回路動作には変わりがない。図7から、ラッチパルスがH になったときの入力(a), (b), (c), (d) それぞれの信号状態が保持され、出力としてあらわれていることが分かる。

【0031】次にラッチ2の動作を追ったものが図8に示す波形である。ここではCPの変わりにラッチパルスが、D の代わりにラッチ1の出力が入力される。図8から、ラッチパルスがH になったときの入力(e), (f), (g), (h) それぞれの信号状態が保持され、出力としてあらわれていることが分かる。つまりここで取り込まれるラッチパルスによって、走査タイミングが制御されていることが分かる。

【0032】以上のような構成を有する、信号線駆動回路、走査線駆動回路を有する液晶表示装置を作製した。この液晶表示装置は、一枚のガラス基板上に、アクティブマトリクス駆動する液晶表示部、信号線駆動回路、走査線駆動回路が形成された、モノリシック構成とした。その結果、不良回路より後段の回路が全て不使用となってしまう、シフトレジスタを用いた装置に比較して、本実施例で作製した液晶表示装置は、より良好な表示を行うことができ、その製造歩留りが大幅に向上し、低コスト化できた。また、シフトレジスタのように、選択しない信号線または走査線に接続された回路に対して信号を供給する必要がないため、消費電力を低下できた。また、ランダムアクセスが可能のため、表示内容を変更したい画素のみの書換えができ、消費電力の低減、高速化を図ることもできた。また、液晶としてネマチック液晶のみでなく、メモリー性を有する強誘電性液晶を用いることも、ランダムアクセスが可能のため、有効である。

【0033】なお、本実施例においては、信号線駆動回路と、走査線駆動回路の双方を、アドレスデコーダ回路を用いて構成したが、何方か一方を、従来のシフトレジスタ回路としても構わない。

【0034】

【発明の効果】以上のように、シフトレジスタを用いずに、アドレスデコーダを用いた駆動回路を採用することで、表示画素のランダムアクセスが可能となった。これに伴い、シフトレジスタを用いたものと比較して、良好な表示を行うことのできる表示装置を数多く得られた。その結果表示装置としての歩留まりが、大幅に向上できた。また、消費電力を低減し、また高速駆動が可能となった。また、総じて表示装置としての低コスト化が図れた。

【図面の簡単な説明】

【図1】 液晶表示装置全体の概略図である。

【図2】 シフトレジスタを用いたアナログ方式の線順次走査駆動回路を示す図である。

【図3】 本発明の実施例で用いられる、デコーダを用いた駆動回路を示す図である。

【図4】 デコーダの論理回路図である。

【図5】 ラッチの等価回路を示す図である。

【図6】 D-F.F. の出力波形を示す図である。

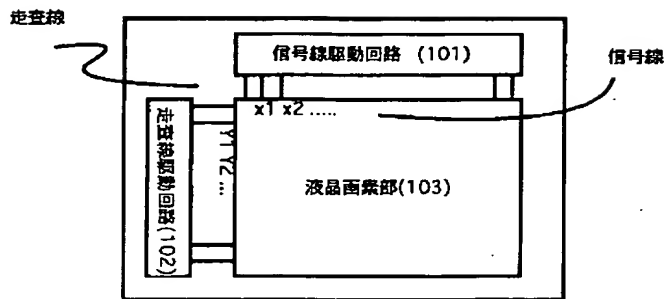
【図7】 ラッチ1の出力波形を示す図である。

【図8】 ラッチ2の出力波形を示す図である。

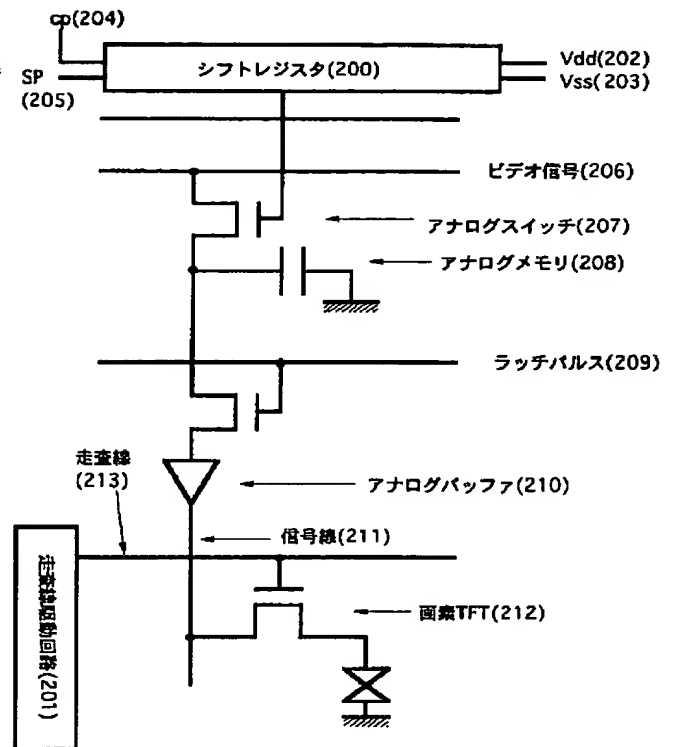
【符号の説明】

- 101 信号線駆動回路
- 102 走査線駆動回路
- 103 液晶画素部
- 200 シフトレジスタ
- 201 走査線駆動回路
- 202 V_{dd}
- 203 V_{ss}
- 204 CP (動作クロック)
- 205 SP (スタートパルス)
- 206 ビデオ信号
- 207 アナログスイッチ
- 208 アナログメモリ
- 209 ラッチパルス
- 210 アナログバッファ
- 211 信号線
- 212 画素TFT
- 213 走査線
- 301 アドレスデコーダ
- 302 ラッチ1
- 303 ラッチパルス
- 304 データ信号
- 305 ラッチ2
- 306 ラッチパルス
- 307 デコーダ
- 308 階調信号
- 309 アナログスイッチ
- 310 信号線

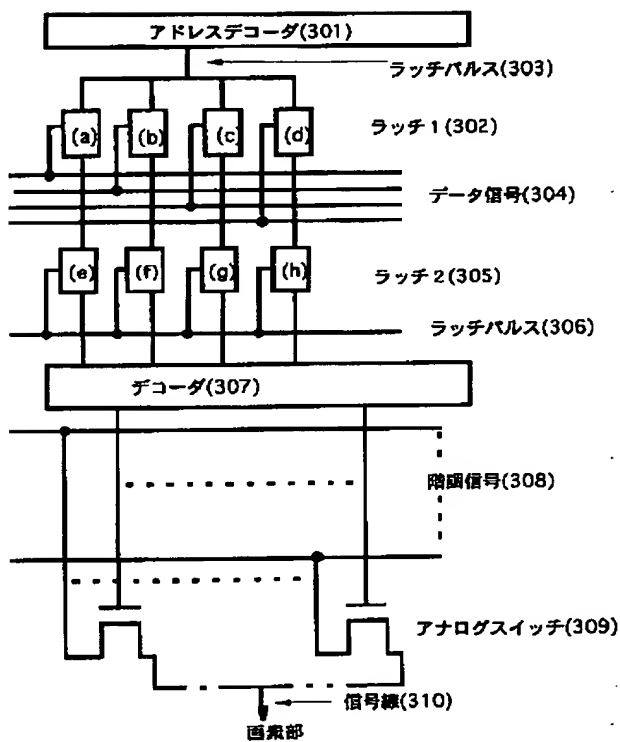
【図1】



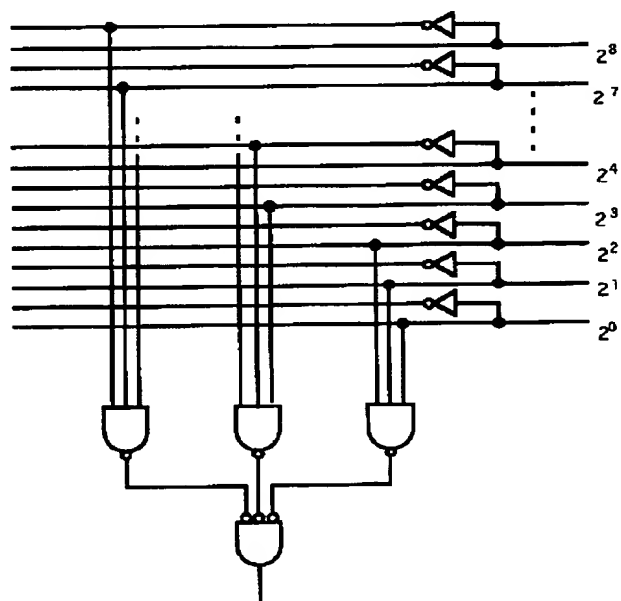
【図2】



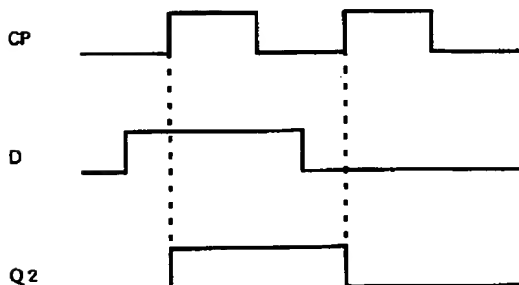
【図3】



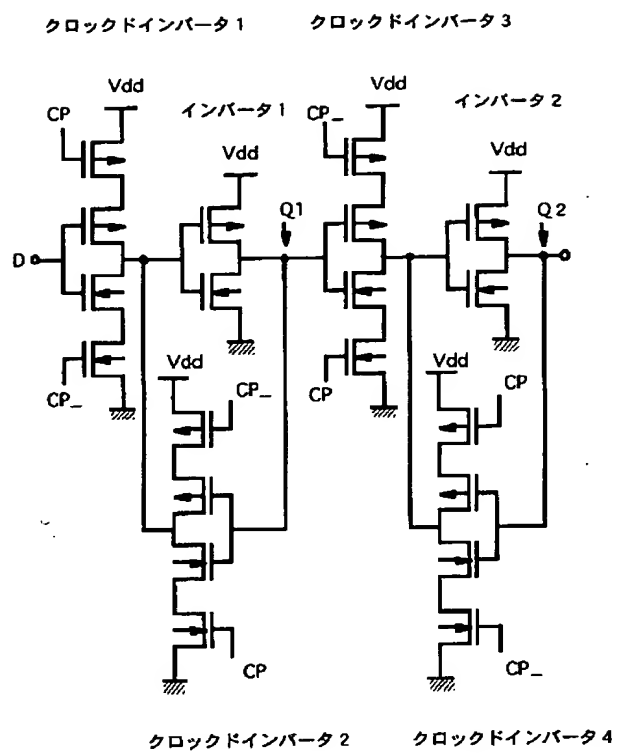
【図4】



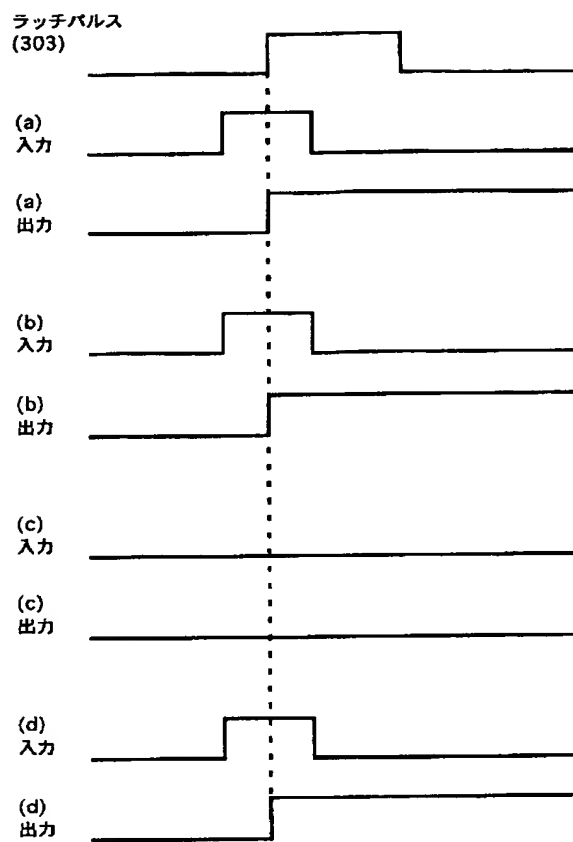
【図6】



【図5】



【図7】



【図8】

